

PCT

特許協力条約に基づいて公開された国際出願



(7)

E5566

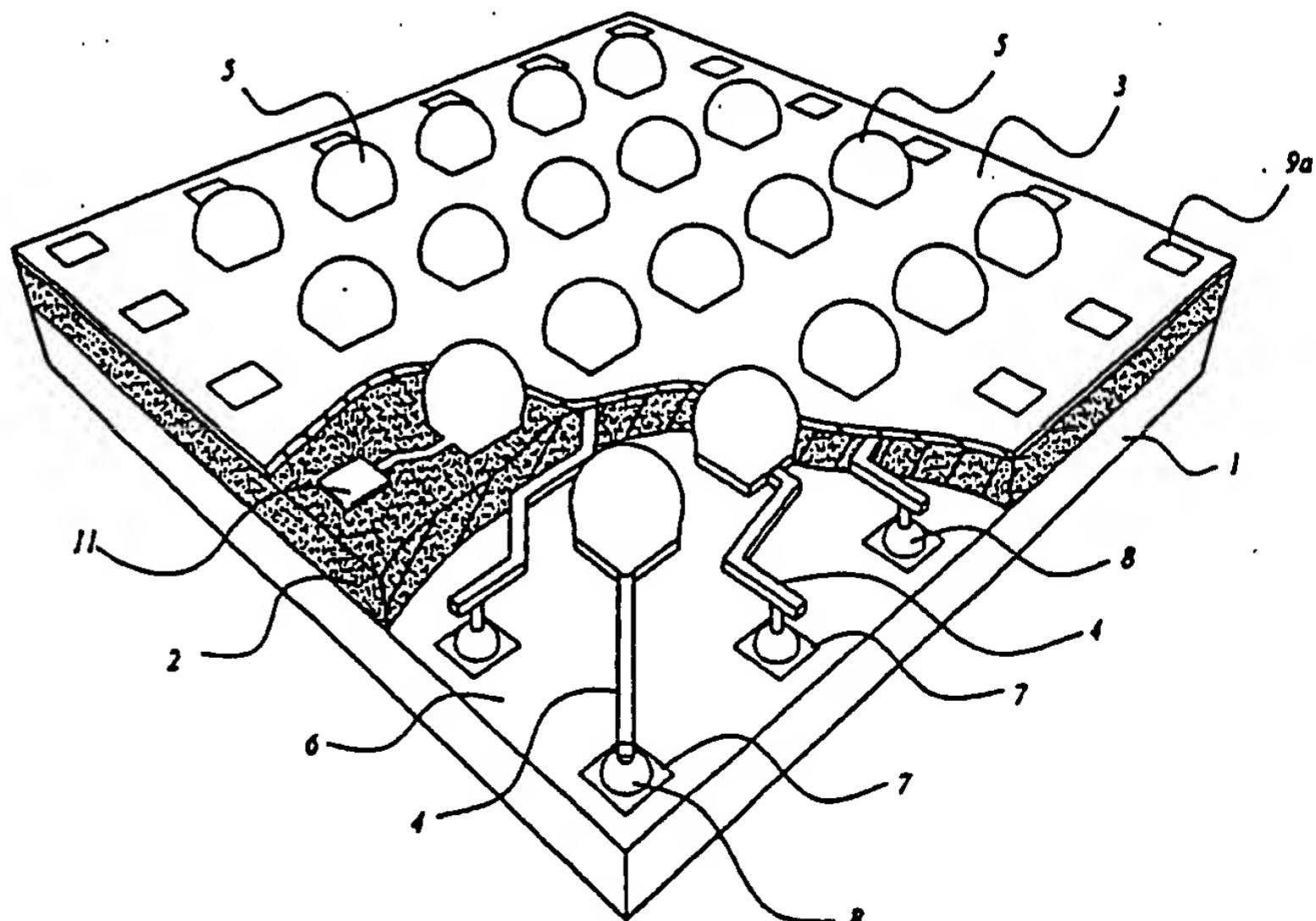
(51) 国際特許分類 H01L 21/60, 23/12	A1	(11) 国際公開番号 WO99/23696
		(43) 国際公開日 1999年5月14日(14.05.99)
(21) 国際出願番号 PCT/JP97/03969		宗像健志(MUNAKATA, Takeshi)[JP/JP] 〒178 東京都練馬区南大泉4丁目44番2号 Tokyo, (JP)
(22) 国際出願日 1997年10月30日(30.10.97)		福田琢也(FUKUDA, Takuya)[JP/JP] 〒187 東京都小平市回田町219番地 コンフォート神山116号 Tokyo, (JP)
(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)[JP/JP] 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)		(74) 代理人 弁理士 简井大和(TSUTSUI, Yamato) 〒160 東京都新宿区西新宿7丁目22番45号 N.S. Excel 301 简井国际特许事务所 Tokyo, (JP)
(72) 発明者 ; および		(81) 指定国 AL, AU, BA, BB, BG, BR, CA, CN, CU, CZ, EE, GE, HU, ID, IL, IS, JP, KR, LC, LK, LR, LT, LV, MG, MK, MN, MX, NO, NZ, PL, RO, SG, SI, SK, SL, TR, TT, UA, US, UZ, VN, YU, ARIPO特許 (GH, KE, LS, MW, SD, SZ, UG, ZW), ヨーラシア 特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG).
(75) 発明者／出願人 (米国についてのみ) 宮本俊夫(MIYAMOTO, Toshio)[JP/JP] 〒187 東京都小平市上水本町五丁目19番1号 誠心寮416号室 Tokyo, (JP)		添付公開書類 国際調査報告書
安生一郎(ANJO, Ichiro)[JP/JP] 〒184 東京都小金井市貫井南町4-5-5 Tokyo, (JP)		
有田順一(ARITA, Junichi)[JP/JP] 〒208 東京都武蔵村山市中原2丁目20番6号 Tokyo, (JP)		
江口州志(EGUCHI, Shuji)[JP/JP] 〒319-11 茨城県那珂郡東海村白方1711-30 Ibaraki, (JP)		
北野 誠(KITANO, Makoto)[JP/JP] 〒300 茨城県土浦市白鳥町1057-8 Ibaraki, (JP)		
久保征治(KUBO, Masaharu)[JP/JP] 〒192 東京都八王子市暁町2-29-8 Tokyo, (JP)		

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称 半導体装置およびその製造方法

(57) Abstract

In a chip-size package, a low-elasticity elastomer (2) which relieves and absorbs the stresses concentrated upon bump electrodes (5) is formed on the main surface of a semiconductor chip (1), and the wiring (4) connected to bonding pads (7) is led out to the upper surface of the elastomer (2) by way of through holes formed through the elastomer (2) and connected to the bump electrodes (5). The stresses concentrated upon the bump electrodes (5) are absorbed and relieved by not only the elastomer (2), but also the expansion and contraction of the wiring (4) led out to the upper surface of the elastomer (2) by laying the wiring (4) in a curved pattern.



(57)要約

本発明のチップサイズパッケージは、バンプ電極に集中する応力を緩和、吸収する低弾性エラストマー2を半導体チップ1の主面上に形成し、ボンディングパッド7に接続された配線4をこのエラストマー2に開孔したスルーホールを通じてその上面に引き出してその一端部にバンプ電極5を接続する。また、エラストマー2の上面に引き出した上記配線4を湾曲したパターンで形成し、バンプ電極5に集中する応力を上記エラストマー2のみならず配線4の伸縮によって吸収、緩和する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

A E	アラブ首長国連邦	E S	スペイン	L I	リヒテンシュタイン	S G	シンガポール
A L	アルバニア	F I	フィンランド	L K	スリ・ランカ	S I	スロヴェニア
A M	アルメニア	F R	フランス	L R	リベリア	S K	スロヴァキア
A T	オーストリア	G A	ガボン	L S	レソト	S L	シェラ・レオネ
A U	オーストラリア	G B	英國	L T	リトアニア	S N	セネガル
A Z	オゼルバイジャン	G D	グレナダ	L U	ルクセンブルグ	S Z	スウェーデン
B A	ボズニア・ヘルツェゴビナ	G E	グルジア	L V	ラトヴィア	T D	チャード
B B	バルバドス	G H	ガーナ	M C	モナコ	T G	トーゴー
B E	ベルギー	G M	ガンビア	M D	モルドヴァ	T J	タジキスタン
B F	ブルキナ・ファソ	G N	ギニア	M G	マダガスカル	T M	トルクメニスタン
B G	ブルガリア	G W	ギニア・ビサオ	M K	マケドニア旧ユーゴスラヴィア	T R	トルコ
B J	ベナン	G R	ギリシャ	M L	共和国	T T	トリニダッド・トバゴ
B R	ブラジル	H R	クロアチア	M N	マリ	U A	ウクライナ
B Y	ベラルーシ	H U	ハンガリー	M R	モンゴル	U G	ウガンダ
C A	カナダ	I D	インドネシア	M W	モーリタニア	U S	米国
C F	中央アフリカ	I E	アイルランド	M X	マラウイ	U Z	ウズベキスタン
C G	コンゴー	I L	イスラエル	N E	メキシコ	V N	ヴィエトナム
C H	スイス	I N	インド	N L	ニジェール	Y U	ユーロースラビア
C I	コートジボアール	I S	アイスランド	N O	オランダ	Z A	南アフリカ共和国
C M	カメルーン	I T	イタリア	N Z	ノルウェー	Z W	ジンバブエ
C N	中国	J P	日本	P L	ニュー・ジーランド		
C U	キューバ	K E	ケニア		ポーランド		

(7)

E5566

 Include

MicroPatent® PatSearch FullText: Record 1 of 1

Search scope: US EP WO JP; Full patent spec.

Years: 1990-2001

Text: Patent/Publication No.: WO9923696

[no drawing available]

[Download This Patent](#)[Family Lookup](#)[Go to first matching text](#)**WO9923696**

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

HITACHI, LTD.

Inventor(s): MIYAMOTO, Toshio ; ANJO, Ichiro ; ARITA, Junichi ; EGUCHI, Shuji ; KITANO, Makoto ; KUBO, Masaharu ; MUNAKATA, Takeshi ; FUKUDA, Takuya
Application No. JP9703969, Filed 19971030, A1 Published 19990514

Abstract: In a chip-size package, a low-elasticity elastomer (2) which relieves and absorbs the stresses concentrated upon bump electrodes (5) is formed on the main surface of a semiconductor chip (1), and the wiring (4) connected to bonding pads (7) is led out to the upper surface of the elastomer (2) by way of through holes formed through the elastomer (2) and connected to the bump electrodes (5). The stresses concentrated upon the bump electrodes (5) are absorbed and relieved by not only the elastomer (2), but also the expansion and contraction of the wiring (4) led out to the upper surface of the elastomer (2) by laying the wiring (4) in a curved pattern.

Int'l Class: H01L02160; H01L02312

Designated States: AL AU BA BB BG BR CA CN CU CZ EE GE HU ID IL IS JP KR LC LK LR LT LV MG MK MN MX NO NZ PL RO SG SI SK SL TR TT UA US UZ VN YU GH KE LS MW SD SZ UG ZW AM AZ BY KG KZ MD RU TJ TM AT BE CH DE DK ES FI FR GB GR IE IT LU MC NL PT SE BF BJ CF CG CI CM GA GN ML MR NE SN TD TG

 Include

For further information, please contact:
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)